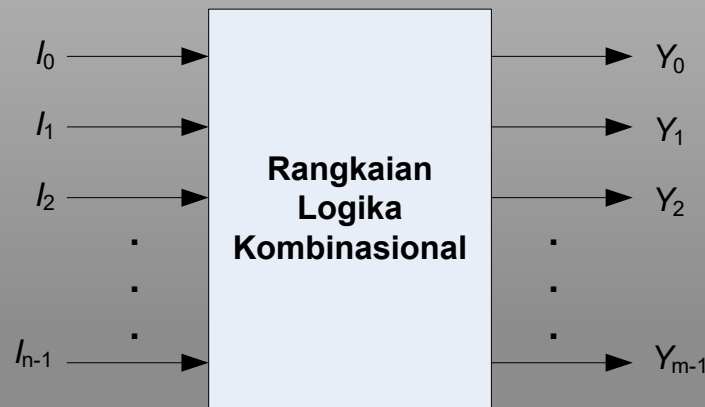


RANGKAIAN LOGIKA KOMBINASIONAL (1)

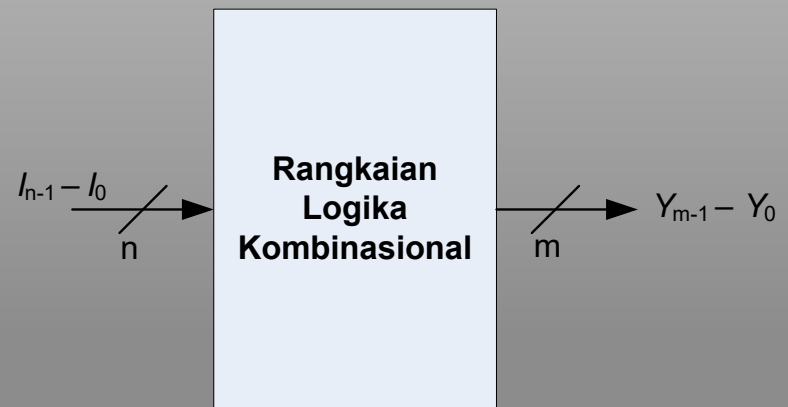
DEFINISI :

RANGKAIAN LOGIKA DIMANA OUTPUT HANYA DITENTUKAN OLEH KOMBINASI LOGIKA INPUT

BLOK DIAGRAM :



a. Complete I/O notation



b. Abridged I/O notation

Prosedur Desain

1. Menentukan Spesifikasi Rangkaian
2. Menentukan Algoritma
3. Menentukan Tabel Kebenaran
4. Menentukan Fungsi Keluaran Rangkaian
5. Menentukan Diagram Logika
6. Menguji Hasil Keluaran

Desain Rangkaian Aritmatika Dasar (Half Adder)

Operasi yang dilakukan : (Berhubungan dengan pros. 1 dan pros. 2)

(a)

$$\begin{array}{r} 0 \\ + 0 \\ \hline 0 \end{array}$$

(b)

$$\begin{array}{r} 0 \\ + 1 \\ \hline 1 \end{array}$$

(c)

$$\begin{array}{r} 1 \\ + 0 \\ \hline 1 \end{array}$$

(d)

$$\begin{array}{r} 1 \\ + 1 \\ \hline 10 \end{array}$$

Carry Bit

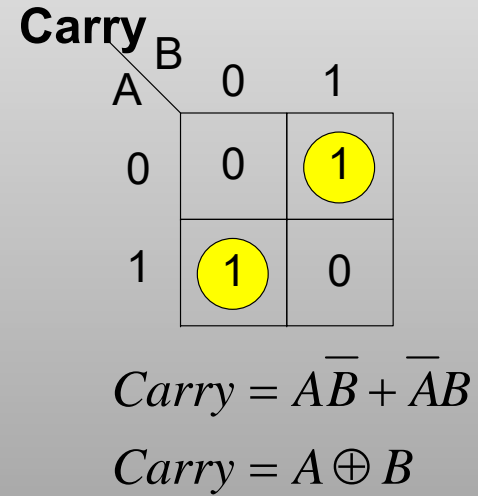
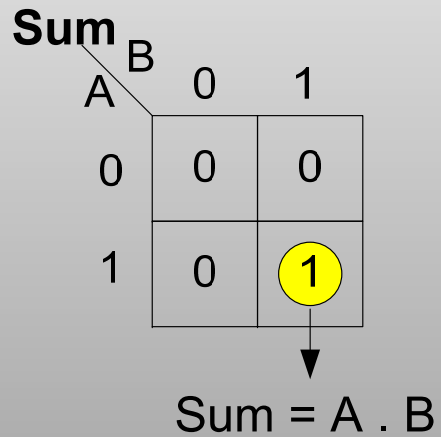
Sum Bit

Lanjutan Desain Rangkaian Half Adder

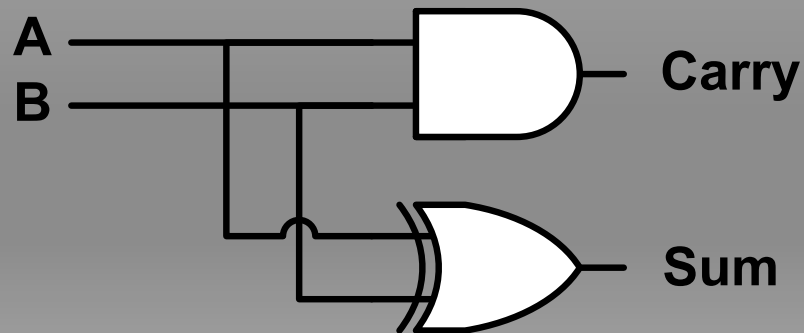
Penentuan Tabel Kebenaran (Prosedur 3) :

A	B	Carry	Sum
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

K-Map dari tabel kebenaran (Prosedur 4) :



Hasil Realisasi Rangkaian Half Adder (Prosedur 5) :



Rangkaian Full Adder

Tabel Kebenaran Rangkaian Full Adder :

A	B	C _{in}	Sum	C _{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

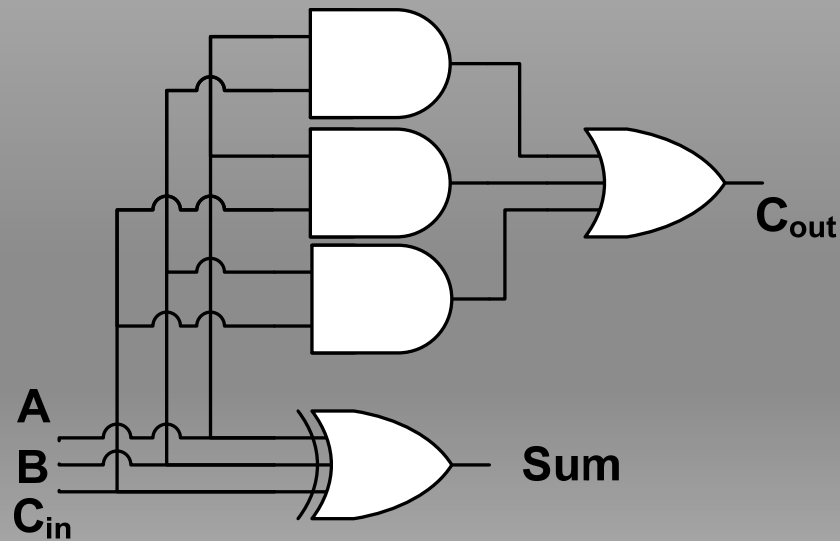
K-Map dari Tabel Kebenaran :

Sum	C _{in}	AB			
		00	01	11	10
	0	0	1	0	1
	1	1	0	1	0

$$Sum = A \oplus B \oplus C_{in}$$

C _{out}	C _{in}	AB			
		00	01	11	10
	0	0	0	1	0
	1	0	1	1	1

$$C_{out} = AB + AC_{in} + BC_{in}$$

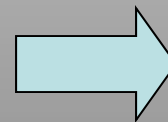


Rangkaian Multiplexer 2 ke1

Tabel Kebenaran :

X_1	X_2	S	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

Bentuk Tabel Kebenaran Lengkap



X_1	X_2	S	F
X_1	X_2	0	X_1
X_1	X_2	1	X_2

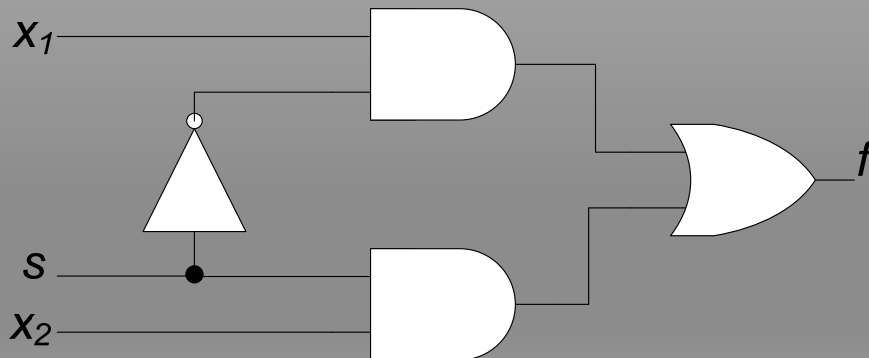
Bentuk Penyederhanaan

K-Map dari Tabel Kebenaran :

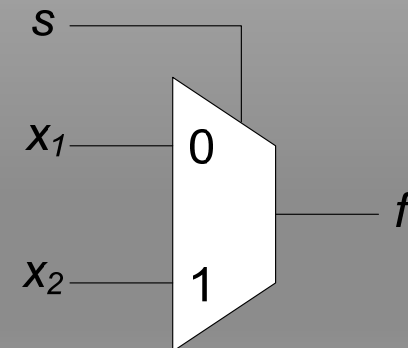
		X_1X_2			
		00	01	11	10
S	0	0	0	1	1
	1	0	1	1	0

$$F = X_1\bar{S} + X_2S$$

Realisasi dan Simbol Rangkaian :



Rangkaian Multiplexer 2 ke 1



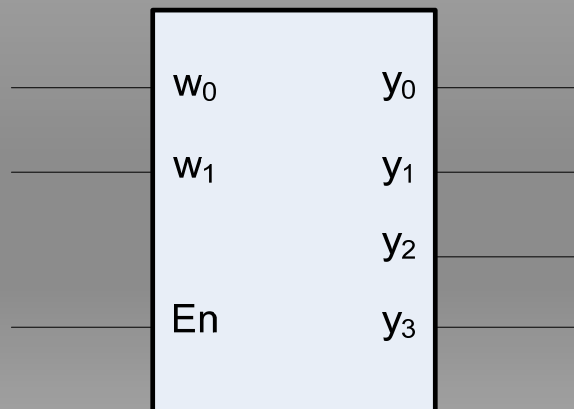
Simbol Multiplexer 2 ke 1

Rangkaian Decoder

Tabel Kebenaran :

w_1	w_0	y_3	y_2	y_1	y_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

Diagram Blok Decoder :



Persamaan Berdasarkan
Tabel Kebenaran :

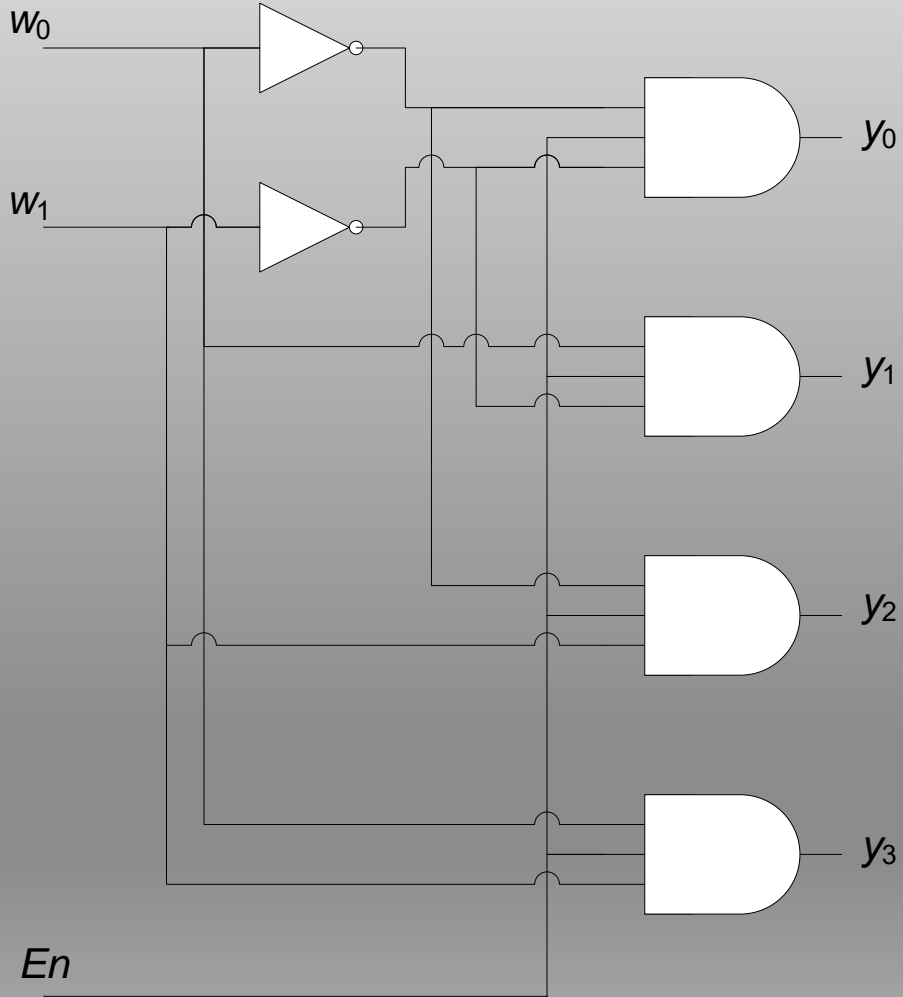
$$y_0 = E_n \cdot \overline{w_1} \cdot \overline{w_0}$$

$$y_1 = E_n \cdot \overline{w_0} \cdot w_1$$

$$y_2 = E_n \cdot w_1 \cdot \overline{w_0}$$

$$y_3 = E_n \cdot w_1 \cdot w_0$$

Rangkaian Realisasi Decoder



Contoh Kasus : Saklar Pengontrol Cahaya Ruangan

Suatu ruangan yang memiliki 3 buah pintu dan pada setiap pintu terdapat saklar yang mengontrol cahaya pada ruangan. Kondisi hidup atau matinya lampu tergantung pada kombinasi hubungan ketiga saklar. Lampu akan menyala

jika salah satu atau seluruh saklar dalam kondisi on.

Sedangkan

lampu akan padam jika tidak ada saklar yang on atau terdapat

dua diantara tiga saklar dalam kondisi on. Jika ketiga saklar dinyatakan sebagai x_1 , x_2 , dan x_3 dengan kondisi saklar

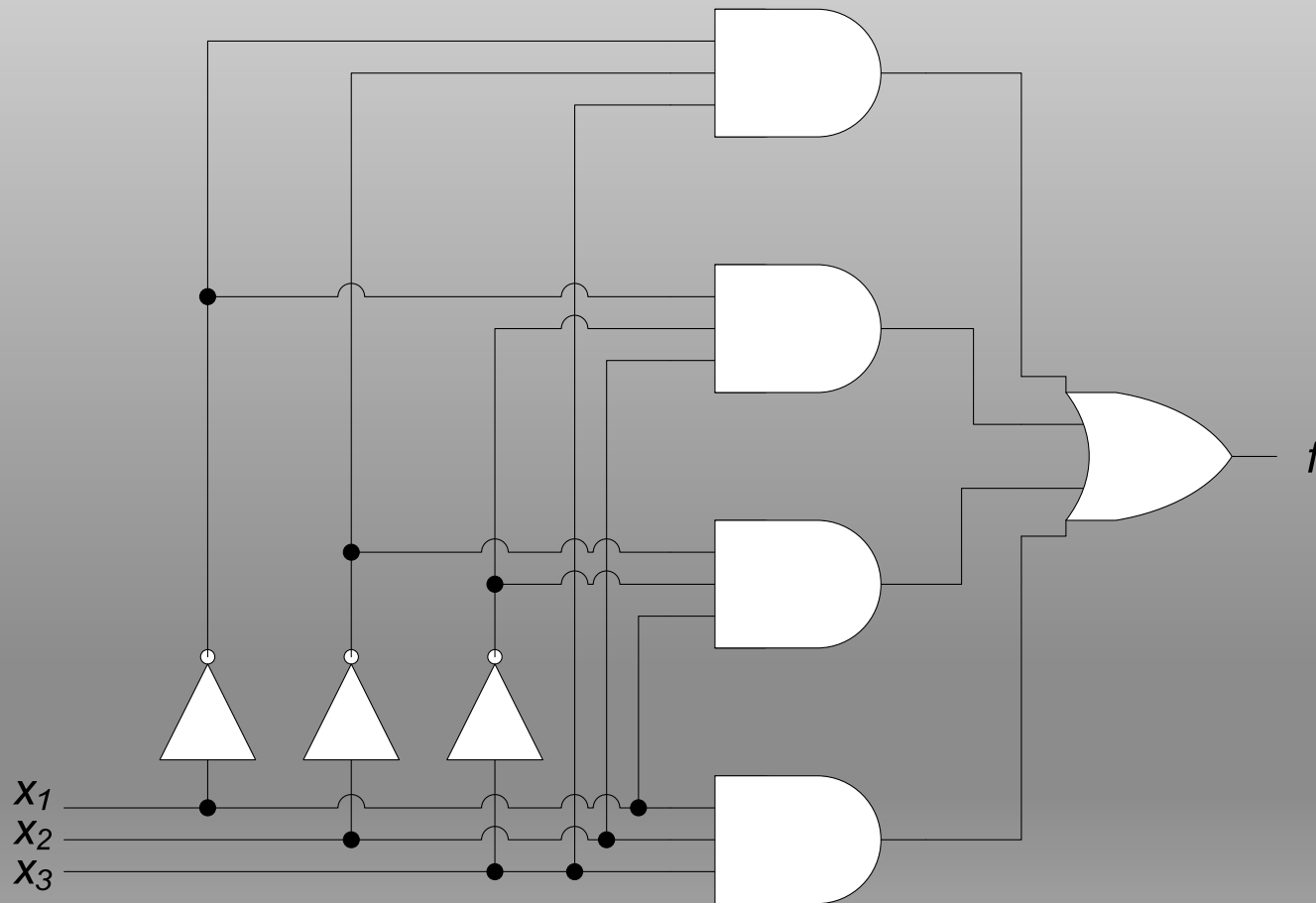
on = level logika '1' serta off = level logika '0'

Tabel Kebenaran Berdasarkan Ilustrasi Soal :

x_1	x_2	x_3	$f(x_1, x_2, x_3)$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Realisasi Dalam Bentuk Kanonikal SOP (Sum-of-Product)

$$f = m_1 + m_2 + m_4 + m_7$$



Realisasi Dalam Bentuk Kanonikal POS (Product-of-Sum)

$$f = M_0 \cdot M_3 \cdot M_5 \cdot M_6$$

