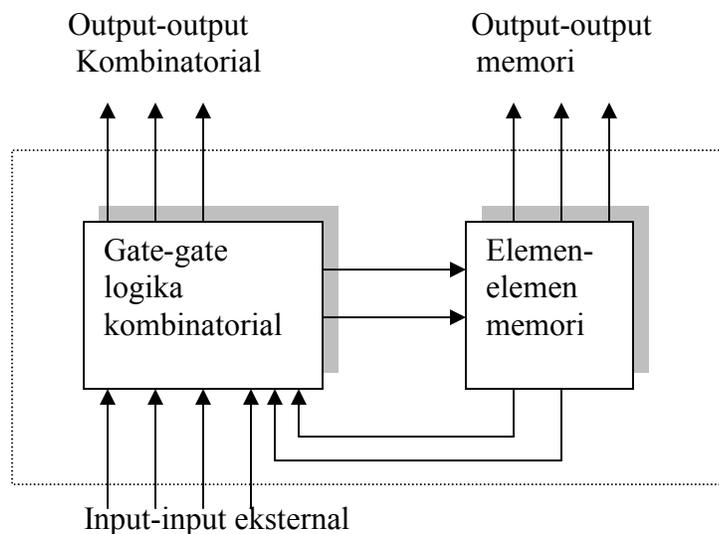


BAB VII FLIP – FLOPS

Sejauh ini rangkaian logika yang telah dibahas adalah rangkaian logika kombinatorial yang level-level outputnya pada setiap saat tertentu tergantung kepada level-level yang terdapat pada input-inputnya pada saat itu. Keadaan level input yang terdahulu tidak mempunyai pengaruh terhadap output-output yang kemudian karena rangkaian kombinatorial tidak mempunyai memori. Sistem-sistem digital kebanyakan terbuat dari dua-duanya, rangkaian-rangkaian kombinatorial dan elemen-elemen memori.

Gambar 7.1 menunjukkan diagram blok dari suatu system digital umum yang menggabungkan gate-gate logika dengan elemen-elemen memori. Blok kombinatorial menerima sinyal-sinyal logika dari input-input luar dan dari output-output elemen-elemen memori.

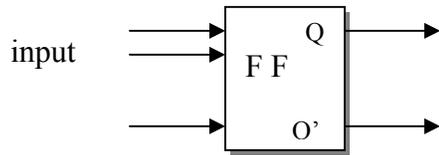


Gambar 7.1 Diagram Sistem Digital Umum

Elemen memori yang paling banyak digunakan adalah Flip-Flop (FF). FF adalah suatu rangkaian logika dengan dua output yang saling berlawanan. Gambar 7.2 menunjukkan symbol flip-flop secara umum.

Untuk FF ada dua keadaan kerja yang mungkin : (1) $Q = 0$, $Q' = 1$: dan (2) $Q = 1$, $Q' = 0$. FF mempunyai satu input atau lebih yang digunakan untuk mengoperasikan FF bolak-balik antara dua keadaan tersebut. Sekali sebuah sinyal input mengoperasikan FF

menuju suatu keadaan tertentu, FF tersebut akan tetap berada pada keadaan itu meskipun setelah sinyal inputnya terputus. Ini adalah karakteristik memori dari rangkaian FF.

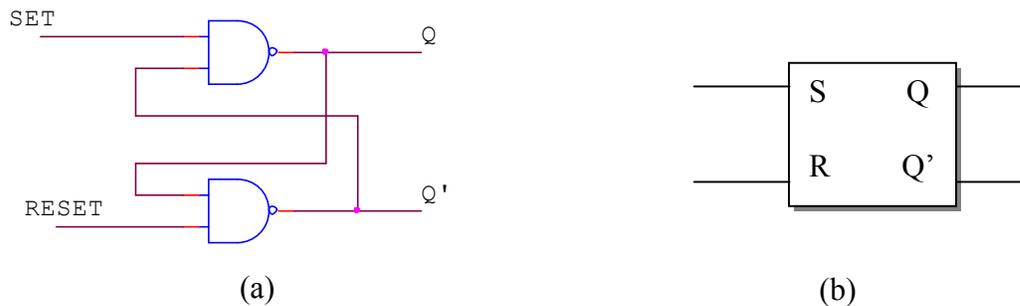


Gambar 7.2 Simbol FF secara umum

7.1 NAND Gate Latch

Rangkaian dasar Flip-Flop dapat disusun dari dua buah NAND gate atau NOR gate. Apabila disusun dari NAND gate, disebut dengan *NAND gate latch* atau secara sederhana disebut *latch*, seperti ditunjukkan pada gambar 7.3 (a). Dua buah NAND gate disilangkan antara output NAND gate-1 dihubungkan dengan salah satu input NAND gate-2, dan sebaliknya. Output gate (output latch) diberi nama Q dan Q'. Pada kondisi normal kedua output tersebut saling berlawanan. Input latch diberi nama SET dan RESET.

Gambar 7.3 (b) menunjukkan symbol dari NAND gate latch.



Gambar 7.3 NAND gate latch

Tabel kebenaran

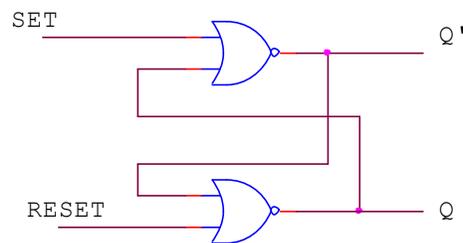
Set	Reset	Keluaran FF
1	1	Q (tak berubah)
0	1	Q = 1; Q' = 0
1	0	Q = 0; Q' = 1
0	0	Tak Tentu

Ikhtisar dari NAND gate latch :

1. SET = 0, RESET = 1 selalu menghasilkan Q = 1, tanpa mempedulikan keadaan output FF sebelumnya. Ini disebut mengeset atau stting FF pada keadaan 1 atau keadaan tinggi.
2. SET = 1, RESET = 0 selalu menghasilkan Q = 0, tanpa mempedulikan keadaan output FF sebelumnya. Ini disebut mereset FF pada keadaan 0 atau keadaan rendah.
3. SET = 1, RESET = 1 tidak mempengaruhi keadaan FF. FF tetap berada pada keadaan sebelumnya.
4. SET = 0 , RESET = 0 adalah keadaan tak menentu dan tidak seharusnya digunakan.

7.2 NOR Gate Latch

Dua buah NOR gate yang saling disilangkan dikenal sebagai NOR gate latch, dengan dua buah output Q dan Q' yang saling berlawanan serta dua buah input SET dan RESET, seperti ditunjukkan pada gambar 7.4. Jika logika 1 diberikan pada input S, maka kondisi ini menyebabkan FF di set ke 1 (Q=1). Jika logika 1 diberikan ke input R, maka kondisi ini menyebabkan FF di reset ke 0 (Q=0).



Gambar 7.4 NOR gate Latch

Tabel kebenaran

Set	Reset	Keluaran FF
0	0	Q (tak berubah)
1	0	Q = 1; Q' = 0
0	1	Q = 0; Q' = 1
1	1	Tak Tentu

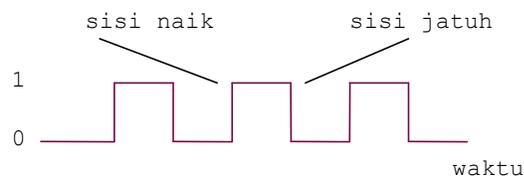
Ikhtisar dari NOR gate latch :

1. SET = 1, RESET = 0 selalu menghasilkan Q = 1, tanpa mempedulikan keadaan output FF sebelumnya. Ini disebut mengeset atau stting FF pada keadaan 1 atau keadaan tinggi.
2. SET = 0, RESET = 1 selalu menghasilkan Q = 0, tanpa mempedulikan keadaan output FF sebelumnya. Ini disebut mereset FF pada keadaan 0 atau keadaan rendah.
3. SET = 0, RESET = 0 tidak mempengaruhi keadaan FF. FF tetap berada pada keadaan sebelumnya.
4. SET = 1 , RESET = 1 adalah keadaan tak menentu dan tidak seharusnya digunakan.
5. harga 1 pada SET atau RESET, yang digunakan untuk mengubahkeadaan FF, dapat merupakan suatu tegangan DC atau pulsa sesaat.

7.3 Pulsa Clock (Sinyal Jam)

Hampir semua system digital beroperasi sebagai system-sistem urutan sinkron atau synchronous sequential system. Yang dimaksud adalah bahwa urutan operasi disinkronisasikan oleh suatu pulsa yang disebut pulsa clock. Pulsa clock yaitu pulsa-pulsa periodik yang biasanya berbentuk bujur sangkar (duty cycle 50%), seperti yang ditunjukkan pada gambar 7.5

Operasi-operasi yang terjadi di dalam system digital diusahakan terjadi pada waktu-waktu pulsa clock bertransisi dari 0 ke 1 atau dari 1 ke 0. Waktu-waktu transisi ini ditunjukkan pada gambar 7.5. Transisi 0-ke-1 disebut sisi naik (rising edge) atau sisi menuju positif, transisi dari 1-ke-0 disebut sisi jatuh (falling edge) atau sisi menuju negatif.

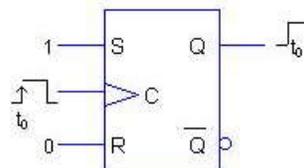


Gambar 7.5 Pulsa Clock (Sinyal jam)

Pulsa clock ini digunakan pada Flip-Flop untuk mengubah keadaan-keadaan pada salah satu sisi naik atau sisi turun dari pulsa clock. Dengan kata lain pulsa clock FF akan mengubah keadaan-keadaan pada transisi clock yang sesuai dan akan diam/istirahat (rest) antara pulsa-pulsa clock yang berurutan. Frekuensi dari pulsa-pulsa clock biasanya ditentukan oleh berapa lama waktu yang dibutuhkan FF dan gate-gate di dalam rangkaian untuk memberikan respond terhadap level perubahan-perubahan yang dikomando oleh pulsa clock. Pada sub-bab 7.4 akan dimulai dipelajari berbagai macam clocked flip-flop yang begitu luas penggunaannya di hampir semua sistem-sistem digital.

7.4 Clocked SR Flip-Flop

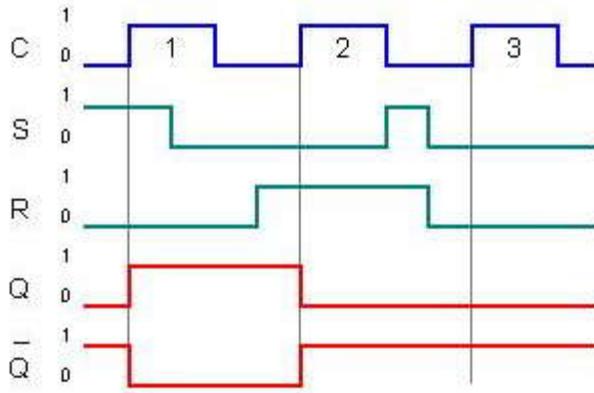
Gambar 7.6 menunjukkan sebuah clocked SR flip-flop yang dikomando oleh sisi menuju positif dari pulsa clock. Ini berarti bahwa FF akan mengubah keadaan hanya apabila suatu sinyal diberikan kepada clock inputnya (disingkat CLK atau C) melakukan suatu transisi dari 0 ke 1. Input-input S dan R mengontrol keadaan FF dengan cara yang sama seperti yang diuraikan pada SR FF dasar (tanpa clock), tetapi FF tersebut tidak akan memberikan respon kepada input-input ini sampai saat terjadinya transisi sisi naik dari pulsa clock. Ini ditunjukkan oleh bentuk gelombang pada gambar 7.7.



Gambar 7.6 Clocked SR Flip-Flop dengan pulsa clock aktif tinggi

Tabel kebenaran

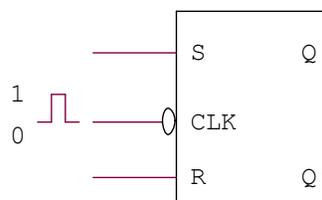
Inputs			Outputs		Comments
S	R	C	Q	Q'	
0	0	↑	Q	Q'	No change
0	1	↑	0	1	RESET
1	0	↑	1	0	SET
1	1	↑	?	?	Invalid



Gambar 7.7 Bentuk-bentuk gelombang

Dari gambar 7.7 terlihat bahwa output FF tidak terpengaruh oleh sisi menuju negatif dari pulsa clock. Juga perhatikan bahwa level-level S dan R tidak mempunyai pengaruh terhadap FF kecuali pada saat terjadi transisi menuju positif dari pulsa clock. Input-input S dan R pada hakekatnya adalah input-input pengontrol, yang mengontrol ke keadaan mana output FF apabila terjadi pulsa clock. Clock input adalah trigger input, yang sesungguhnya menyebabkan berubahnya keadaan FF sesuai dengan level dari input-input S dan R.

Gambar 7.8 menunjukkan symbol untuk sebuah Clocked SR FF yang CLK inputnya mendapat trigger pada saat transisi menuju negatif. Lingkaran kecil yang digambar pada CLK input menunjukkan bahwa FF ini akan mendapat trigger pada saat CLK berubah dari 1 ke 0.

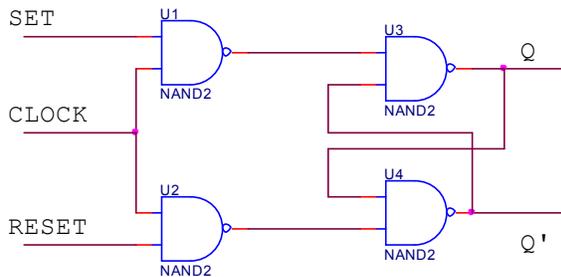


Gambar 7.8 Clocked SR Flip-Flop dengan pulsa clock aktif rendah

Rangkaian internal Clocked SR FF dalam kenyataannya sudah ada dalam bentuk IC, rangkaiannya terdiri dari dua bagian yaitu :

1. NAND latch yang disusun oleh NAND-3 dan NAND-4

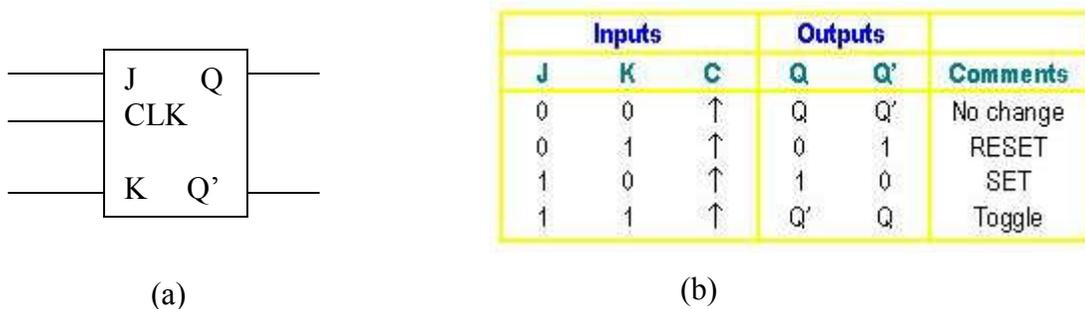
2. Rangkaian pulsa yang disusun oleh NAND-1 dan NAND-2



Gambar 7.9 Rangkaian Clocked SR Flip-Flop

7.5 Clocked JK Flop-Flop

Gambar 7.10 (a) menunjukkan sebuah clocked JK FF yang ditrigger oleh sisi menuju positif dari pulsa clock. Input-input J dan K mengontrol keadaan FF dengan cara yang sama seperti input-input S dan R kecuali satu perbedaan utama : keadaan $J = K = 1$ tidak menghasilkan suatu output yang tidak menentu. Untuk keadaan ini FF akan selalu berada dalam keadaan yang berlawanan.

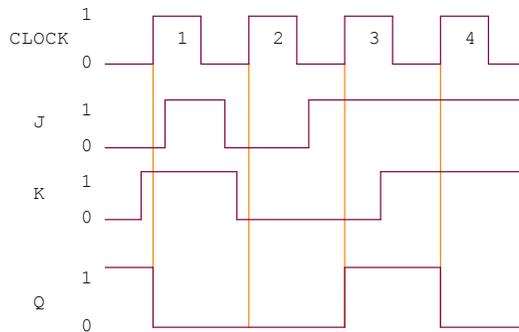


Gambar 7.10 Clocked JK Flip-Flop

Bekerjanya FF ini ditunjukkan oleh bentuk gelombang pada gambar 7.11, yang dapat dianalisa sebagai berikut :

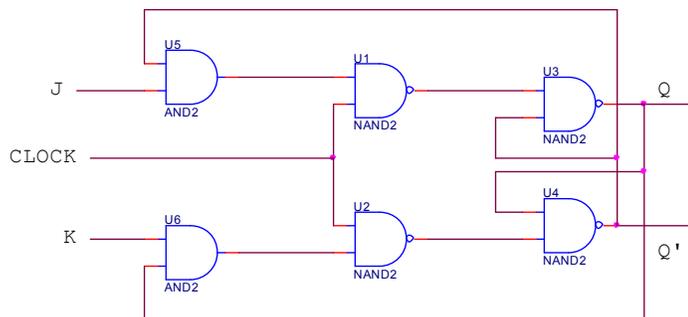
1. Mula-mula semua input adalah 0 dan output Q sama dengan 1.
2. Apabila terjadi sisi menuju positif dari pulsa clock pertama berlangsung pada kondisi $J=0$ dan $K=1$, maka output $Q=0$
3. Pulsa clock kedua mendapatkan $J=0$ dan $K=0$ pada saat melakukan transisi positifnya, ini menyebabkan output Q tetap pada kondisi sebelumnya yaitu $Q=0$.

4. Pulsa clock ketiga mendapatkan $J=1$ dan $K=0$ pada saat melakukan transisi positifnya, ini menyebabkan output $Q=1$.
5. Pulsa clock keempat mendapatkan $J=1$ dan $K=1$ pada saat melakukan transisi positifnya, ini menyebabkan FF toggle sehingga output Q berlawanan dari kondisi sebelumnya, yaitu menjadi $Q=0$.



Gambar 7.11 Bentuk gelombang

Dari bentuk gelombang ini hendaknya diperhatikan bahwa FF tidak terpengaruh oleh sisi menuju negatif dari pulsa clock. JK FF adalah jauh lebih baik dari pada SRFF karena tidak mempunyai keadaan kerja yang tidak menentu. Keadaan $J=K=1$, yang menghasilkan operasi toggle, sangat banyak ditemukan pemakaiannya di dalam semua jenis alat hitung biner. Oleh Karena itu, JKFF digunakan secara luas pada hampir semua sistem-sistem digital.

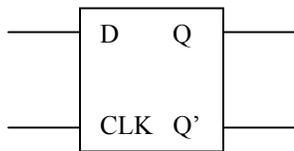


Gambar 7.12 Rangkaian JK FF

7.6 Clocked D Flip-Flop

Gambar 7.13 (a) menunjukkan symbol dari sebuah clocked D FF yang mendapat trigger dari transisi positif pada CLK inputnya. D input adalah suatu input pengontrol tunggal yang menentukan keadaan kerja FF sesuai dengan tabel kebenaran. Pada hakekatnya, output Q FF akan memasuki keadaan kerja yang sama dengan yang terdapat pada D input apabila terjadi suatu transisi positif pada CLK input.

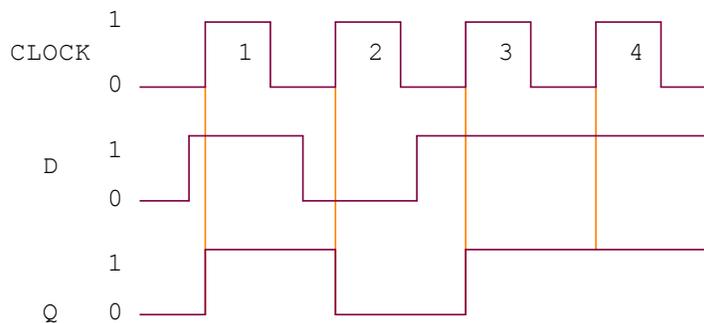
Perhatikanlah bahwa setiap terjadi transisi positif pada CLK inputnya, output Q memiliki harga yang sama seperti pada yang terdapat pada level D input. Transisi negatif pada CLK input tidak mempunyai pengaruh.



(a)

D	Q
0	Q = 0
1	Q = 1

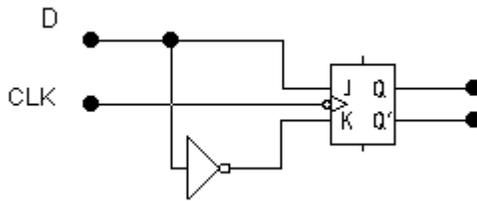
(b)



(c)

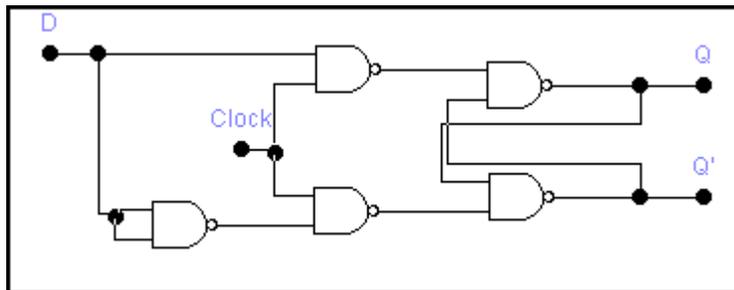
Gambar 7.13 D FF yang ditrigger pada transisi menuju positif

D FF pada prinsipnya digunakan pada transfer data biner. SR FF dan JK FF dengan mudah dapat dimodifikasi untuk beroperasi sebagai D FF seperti ditunjukkan pada gambar 7.14.



Gambar 7.14 Susunan JK FF yang bekerja sebagai D FF.

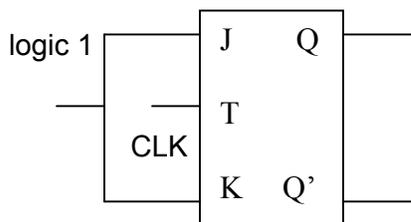
D FF juga dapat dibentuk dari NAND gate seperti ditunjukkan pada gambar 7.15 berikut :



Gambar 7.15. D FF yang disusun dari NAND gate

7.7 T Flip-Flop

T FF dapat dibentuk dari modifikasi *Clocked* SR FF, D FF, maupun JK FF. Pada gambar di bawah ditunjukkan modifikasi JK FF yang digunakan sebagai T FF. Masukan J dan K pada JK FF dihubungkan dengan logika “1” atau dalam praktek dihubungkan dengan VCC +5 Volt, sedangkan sebagai masukan T FF adalah *clock* pada JK FF. Keadaan output akan Q berubah setiap ada pulsa clock



Tabel Kebenaran T FF

Input T	Present State Q	Next State Q ⁺
0	0	0
1	0	1
0	1	1
1	1	0

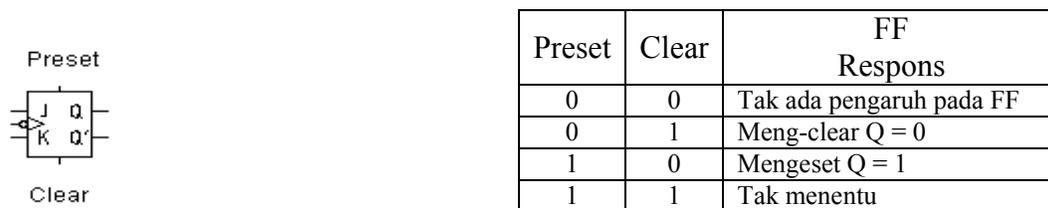
Gambar 7.16 T Flip-Flop

7.8 Flip-Flop Input Sinkron dan Asinkron

Untuk clocked flip-flop yang telah dipelajari, S, R, J, K, dan D telah dipandang sebagai input pengontrol. Input-input ini juga disebut input-input sinkron, karena pengaruhnya pada output FF disinkronkan dengan pulsa clock input.

Hampir semua clocked FF juga mempunyai satu atau lebih input asinkron yang bekerja secara bebas dari input-input sinkron dan pulsa clock. Input-input asinkron ini dapat digunakan untuk mengeset FF menuju keadaan 1 atau meng-clear FF menuju keadaan 0 pada setiap saat, tanpa memedulikan keadaan pada input-input yang lain. Dengan kata lain, input-input asinkron tersebut merupakan input-input override (berkuasa), yang dapat digunakan untuk melampaui input-input yang lain dengan maksud untuk menempatkan FF pada satu keadaan atau keadaan yang lain.

Gambar 7.15 menunjukkan sebuah clocked JK FF dengan input Preset dan Clear. Input-input asinkron ini diaktifkan oleh suatu level 1, tabel kebenaran menunjukkan bagaimana bekerjanya input-input asinkron ini.



Gambar 7.15 Clocked JK FF dengan input-input asinkron

Soal :

1. Jelaskan perbedaan utama antara SR FF dengan JK FF
2. Jelaskan perbedaan antara input FF sinkron dengan asinkron
3. Terapkanlah bentuk gelombang J, K, dan CLK dari gambar 7.11 pada JK FF yang bekerja saat pulsa clock bertransisi menuju negatip (aktif low).